



PHEA-01012-US

*Stewart*  
#5  
6-25-02

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application:

2000年12月27日

出願番号  
Application Number:

特願2000-399423

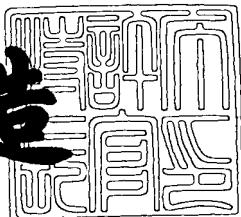
出願人  
Applicant(s):

古河電気工業株式会社

2001年 7月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3063919

【書類名】 特許願  
 【整理番号】 990857  
 【提出日】 平成12年12月27日  
 【あて先】 特許庁長官殿  
 【国際特許分類】 H01L 23/522  
 H01L 33/00  
 H01S 3/19

## 【発明者】

【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株  
式会社内

【氏名】 藤▲崎▼ 慶一

## 【発明者】

【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株  
式会社内

【氏名】 大久保 典雄

## 【特許出願人】

【識別番号】 000005290

【氏名又は名称】 古河電気工業株式会社/

## 【代理人】

【識別番号】 100089118

## 【弁理士】

【氏名又は名称】 酒井 宏明

## 【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2000-399423

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 多層膜構造のリッジ部を有する半導体装置において、

前記リッジ部は、

前記リッジ部の底部を形成する第1の半導体層と、

前記リッジ部の上部を形成し、前記第1の半導体層の第1のエッティング速度に比して遅い第2のエッティング速度をもつ第2の半導体層と、

前記第1の半導体層と前記第2の半導体層との間に形成され、前記第1のエッティング速度に比して遅く、かつ前記第2のエッティング速度に比して速いエッティング速度をもつ第3の半導体層と、

を備えたことを特徴とする半導体装置。

【請求項2】 前記第3の半導体層は、

前記第1の半導体層側から前記第2の半導体層側にかけて、第1のエッティング速度から前記第2のエッティング速度に連続的にエッティング速度が変化する半導体材料によって形成されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第3の半導体層は、

前記第1の半導体層側から前記第2の半導体層側にかけて、第1のエッティング速度から前記第2のエッティング速度に段階的にエッティング速度が変化する半導体材料によって形成されたことを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第3の半導体層は、

前記第1の半導体層および第2の半導体層に対応し、当該第3の半導体層の化学量論的組成比を順次変化させてエッティング速度を変化させることを特徴とする請求項1～3のいずれか一つに記載の半導体装置。

【請求項5】 前記第1の半導体層は、AlGaAsであり、

前記第2の半導体層は、GaAsであり、

前記第3の半導体層は、 $Al_xGa_{1-x}As$ であり、組成比xを順次変化させることによってエッティング速度を変化させたことを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

【請求項6】 前記第2の半導体層の上面に接続され、前記リッジ部の長手方向側面を少なくとも覆う電極層を備え、

前記電極層の膜厚は、100nm以上であることを特徴とする請求項1～5のいずれか一つに記載の半導体装置。

【請求項7】 多層膜構造のリッジ部を有する半導体装置の製造方法において、

前記リッジ部の底部を形成する第1の半導体層を成膜する第1形成工程と、

前記第1の半導体層の第1のエッティング速度に比して遅い第2のエッティング速度をもつ第2の半導体層を成膜する第2形成工程と、

前記リッジ部の上部を形成し、前記第2の半導体層の第2のエッティング速度に比して遅い第3のエッティング速度をもつ第3の半導体層を成膜する第3形成工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記第2の半導体層は、

前記第1の半導体層側から前記第3の半導体層側にかけて、第1のエッティング速度から前記第3のエッティング速度に連続的にエッティング速度が変化する第2のエッティング速度をもつ半導体材料によって形成されたことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第2の半導体層は、

前記第1の半導体層側から前記第3の半導体層側にかけて、第1のエッティング速度から前記第3のエッティング速度に段階的にエッティング速度が変化する第2のエッティング速度をもつ半導体材料によって形成されたことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記第2の半導体層は、

前記第1の半導体層および第3の半導体層に対応し、当該第2の半導体層の化学量論的組成比を順次変化させて前記第2のエッティング速度を変化させることを特徴とする請求項7～9のいずれか一つに記載の半導体装置の製造方法。

【請求項11】 前記第1の半導体層は、AlGaAsであり、

前記第3の半導体層は、GaAsであり、

前記第2の半導体層は、 $Al_xGa_{1-x}As$ であり、組成比xを順次変化させることによって前記第2のエッティング速度を変化させたことを特徴とする請求項7～10のいずれか一つに記載の半導体装置の製造方法。

【請求項12】 前記第3の半導体層の上面に接続され、前記リッジ部の長手方向側面を少なくとも覆う電極層を成膜する第4形成工程を含み、

前記電極層の膜厚を100nm以上とすることを特徴とする請求項7～11のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、リッジ型半導体レーザ素子のようにリッジ構造を有した半導体装置およびその製造方法に関し、特にリッジ構造の亀裂および腐食を防止することができる半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

従来から、半導体基板上に多層膜構造を形成し、エッティング処理などによって加工し、所望の電気回路や電気素子などを有した半導体装置を形成していた。

【0003】

図7は、従来の半導体装置である半導体レーザ素子の断面図である。この半導体レーザ素子は、ストライプ状のリッジ12を有し、このリッジ12によって光および電流の閉じ込めを行うので、簡便な構造で良好なレーザ特性を示し、光通信、光記録、光計測などの分野で、発光装置及び光ファイバアンプ励起装置などに多用される。

【0004】

この半導体レーザ素子は、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、コンタクト層9、絶縁膜6が順次形成される。また、上側クラッド層5の一部、コンタクト層9、絶縁膜6は、リッジ12を形成する。さらに、半導体基板2の下面に負電極1が形成され、半導体レーザ素子の上面には正電極7が形成される。

## 【0005】

ここで、図8および図9を参照して、従来の半導体レーザ素子の製造方法について説明する。図8および図9は、従来の半導体レーザ素子の各製造工程を示す断面図である。図8(a)において、まず、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、コンタクト層9を順に成膜する。つぎに、コンタクト層9の上部に、レジスト10を塗布する成膜を行う。

## 【0006】

その後、エッティング処理によってコンタクト層9および上側クラッド層5が蝕刻され、レジスト10と同じ幅のリッジ12を形成する(図8(b))。さらに、レジスト10を除去し、上側クラッド層5の上面、リッジ12の上面およびリッジ12の側面に、絶縁膜6を形成する(図8(c))。

## 【0007】

その後、上面に、少なくともリッジ12に比して高くレジスト11を塗布する(図9(d))。さらに、リッジ12およびその周辺部分を平坦化するために、レジスト11の上面に図示しないレジストを塗布して成膜する。その後、フォトリソグラフィ、酸素プラズマアッシング処理を行い、リッジ12の上面およびその周囲のレジスト11を、リッジ12の絶縁膜6の高さまで除去し、リッジ12上面の絶縁膜6を露出させる(図9(e))。

## 【0008】

その後、プラズマエッティング処理によってリッジ12の上面の絶縁膜6を除去し、コンタクト層9を露出させる(図9(f))。さらに、レジスト11を除去し、リッジ12の側面を含む上部前面に正電極7を成膜し、半導体基板2の下面に負電極1を成膜し、これによって上述したリッジ型の半導体レーザ素子を得ることができる。

## 【0009】

## 【発明が解決しようとする課題】

しかしながら、上述した従来の半導体レーザ素子は、フォトリソグラフィ技術を用いて正電極7および負電極1を形成する場合、一定の確率で、コンタクト層9の一部に侵食が発生し、この結果、得られた半導体レーザ素子の電流経路が狭

くなつて電気抵抗が増加し、光出力が低下するという問題点があつた。さらに、侵食がさらに進行した場合、コンタクト層9および上側クラッド層5の大部分が侵食されてしまい、一層光出力が低下するという問題点があつた。

#### 【0010】

ここで、本発明者は、上述した問題点の発生原因である侵食が、図10に示しように、コンタクト層9の上端部付近に侵食22が存在することを確認するとともに、正電極7の侵食22近傍に、亀裂21が存在することを見出した。

#### 【0011】

さらに、一般に、正電極7および負電極1の形成時のフォトリソグラフィには、剥離用としてイオン溶液を用いるが、本発明者は、このイオン溶液が亀裂21を介してコンタクト層9に浸透し、電気化学反応によってコンタクト層9を侵食することを見出した。

#### 【0012】

また、リッジ12は、リッジ12の幅がコンタクト層9の上面から上側クラッド層5に向かって逆メサ形状となる部分が形成されており、リッジ12の側面が逆メサ形状となっていることから、この部分に応力集中が生じてリッジ12の側面の正電極7に歪みが発生し、亀裂21が発生するものと考えられる。

#### 【0013】

なお、このようにリッジ12の側面が逆メサ形状となるのは、コンタクト層9のエッチング速度と上側クラッド層5のエッチング速度とに差があることから生じているものと考えられる。

#### 【0014】

この発明は上記に鑑みてなされたものであつて、リッジ12の側面の逆メサ形状を解消し、正電極7に生じる亀裂の発生を防止し、コンタクト層9に対する侵食を防止し、品質の高い半導体装置を再現性良く、かつ効率良く生産することができる半導体装置およびその製造方法を提供することを目的とする。

#### 【0015】

##### 【課題を解決するための手段】

上記目的を達成するため、請求項1にかかる半導体装置は、多層膜構造のリッ

ジ部を有する半導体装置において、前記リッジ部は、前記リッジ部の底部を形成する第1の半導体層と、前記リッジ部の上部を形成し、前記第1の半導体層の第1のエッティング速度に比して遅い第2のエッティング速度をもつ第2の半導体層と、前記第1の半導体層と前記第2の半導体層との間に形成され、前記第1のエッティング速度に比して遅く、かつ前記第2のエッティング速度に比して速いエッティング速度をもつ第3の半導体層とを備えたことを特徴とする。

#### 【0016】

この請求項1の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層のエッティング速度を、第1の半導体層に比して遅く、第2の半導体層に比して速くしている。

#### 【0017】

また、請求項2にかかる半導体装置は、上記の発明において、前記第3の半導体層は、前記第1の半導体層側から前記第2の半導体層側にかけて、第1のエッティング速度から前記第2のエッティング速度に連続的にエッティング速度が変化する半導体材料によって形成されたことを特徴とする。

#### 【0018】

この請求項2の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層のエッティング速度を、第1の半導体層側から第2の半導体層側にかけて、第1のエッティング速度から、第2のエッティング速度に連続的に変化させている。

#### 【0019】

また、請求項3にかかる半導体装置は、上記の発明において、前記第3の半導体層は、前記第1の半導体層側から前記第2の半導体層側にかけて、第1のエッティング速度から前記第2のエッティング速度に段階的にエッティング速度が変化する半導体材料によって形成されたことを特徴とする。

#### 【0020】

この請求項3の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層のエッティング速度を、第1の半導体層側から第2の半導体層側にかけて、第1のエッティング速度か

ら、第2のエッティング速度に段階的に変化させている。

【0021】

また、請求項4にかかる半導体装置は、上記の発明において、前記第3の半導体層は、前記第1の半導体層および第2の半導体層に対応し、当該第3の半導体層の化学量論的組成比を順次変化させてエッティング速度を変化させることを特徴とする。

【0022】

この請求項4の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層の組成を、第1の半導体層および第2の半導体層に対応し、化学量論的組成比を順次変化させることで、エッティング速度を変化させている。

【0023】

また、請求項5にかかる半導体装置は、上記の発明において、前記第1の半導体層は、AlGaAsであり、前記第2の半導体層は、GaAsであり、前記第3の半導体層は、Al<sub>x</sub>Ga<sub>1-x</sub>Asであり、組成比xを順次変化させることによってエッティング速度を変化させたことを特徴とする。

【0024】

この請求項5の発明によれば、半導体装置のリッジ部は、第1の半導体層であるAlGaAs層と第2の半導体層であるGaAs層との間に、第3の半導体層であるAl<sub>x</sub>Ga<sub>1-x</sub>As層を設け、組成比xを順次変化させることで第3の半導体層のエッティング速度を変化させている。

【0025】

また、請求項6にかかる半導体装置は、上記の発明において、前記第2の半導体層の上面に接続され、前記リッジ部の長手方向側面を少なくとも覆う電極層を備え、前記電極層の膜厚は、100nm以上であることを特徴とする。

【0026】

この請求項6の発明によれば、リッジ部の長手方向側面を少なくとも覆う電極層を設け、この電極層を100nm以上の膜厚としている。

【0027】

また、請求項7にかかる半導体装置の製造方法は、多層膜構造のリッジ部を有する半導体装置の製造方法において、前記リッジ部の底部を形成する第1の半導体層を成膜する第1形成工程と、前記第1の半導体層の第1のエッティング速度に比して遅い第2のエッティング速度をもつ第2の半導体層を成膜する第2形成工程と、前記リッジ部の上部を形成し、前記第2の半導体層の第2のエッティング速度に比して遅い第3のエッティング速度をもつ第3の半導体層を成膜する第3形成工程と、を含むことを特徴とする。

#### 【0028】

この請求項7の発明によれば、第1形成工程によって、リッジ部の底部を形成する第1の半導体層を成膜し、第2形成工程によって第1のエッティング速度よりも遅い第2のエッティング速度をもつ第2の半導体層を成膜し、第3形成工程によって第2のエッティング速度よりも遅い第3のエッティング速度をもち、リッジ部の上部を形成する第3の半導体層を成膜する。

#### 【0029】

また、請求項8にかかる半導体装置の製造方法は、上記の発明において、前記第2の半導体層は、前記第1の半導体層側から前記第3の半導体層側にかけて、第1のエッティング速度から前記第3のエッティング速度に連続的にエッティング速度が変化する第2のエッティング速度をもつ半導体材料によって形成されたことを特徴とする。

#### 【0030】

この請求項8の発明によれば、第1の半導体層と第3の半導体層の間に第2のエッティング速度をもつ第2の半導体層を成膜し、第2のエッティング速度を、第1の半導体層側から第3の半導体層側にかけて、第1のエッティング速度から、第3のエッティング速度に連続的に変化させている。

#### 【0031】

また、請求項9にかかる半導体装置の製造方法は、上記の発明において、前記第2の半導体層は、前記第1の半導体層側から前記第3の半導体層側にかけて、第1のエッティング速度から前記第3のエッティング速度に段階的にエッティング速度が変化する第2のエッティング速度をもつ半導体材料によって形成されたことを特

徴とする。

【0032】

この請求項9の発明によれば、第1の半導体層と第3の半導体層の間に第2のエッティング速度をもつ第2の半導体層を成膜し、第2のエッティング速度を、第1の半導体層側から第3の半導体層側にかけて、第1のエッティング速度から、第3のエッティング速度に段階的に変化させている。

【0033】

また、請求項10にかかる半導体装置の製造方法は、上記の発明において、前記第2の半導体層は、前記第1の半導体層および第3の半導体層に対応し、当該第2の半導体層の化学量論的組成比を順次変化させて前記第2のエッティング速度を変化させることを特徴とする。

【0034】

この請求項10の発明によれば、第1の半導体層と第3の半導体層の間に第2の半導体層を成膜し、第2の半導体層の組成を、第1の半導体層および第3の半導体層に対応させ、化学量論的組成比を順次変化させることで、エッティング速度を変化させている。

【0035】

また、請求項11にかかる半導体装置の製造方法は、上記の発明において、前記第1の半導体層は、AlGaAsであり、前記第3の半導体層は、GaAsであり、前記第2の半導体層は、Al<sub>x</sub>Ga<sub>1-x</sub>Asであり、組成比xを順次変化させることによって前記第2のエッティング速度を変化させたことを特徴とする。

【0036】

この請求項11の発明によれば、第1の半導体層であるAlGaAs層と第3の半導体層であるGaAs層との間に第2の半導体層であるAl<sub>x</sub>Ga<sub>1-x</sub>As層を成膜し、組成比xを順次変化させることで第3の半導体層のエッティング速度を変化させている。

【0037】

また、請求項12にかかる半導体装置の製造方法は、上記の発明において、前記第3の半導体層の上面に接続され、前記リッジ部の長手方向側面を少なくとも

覆う電極層を成膜する第4形成工程を含み、前記電極層の膜厚を100nm以上とすることを特徴とする。

## 【0038】

この請求項12の発明によれば、第4形成工程が、リッジ部の長手方向側面を少なくとも覆う電極層を、100nm以上の膜厚で成膜するようにしている。

## 【0039】

## 【発明の実施の形態】

以下に添付図面を参照して、この発明に係る半導体装置およびその製造方法の好適な実施の形態を詳細に説明する。

## 【0040】

図1は、この発明の実施の形態である半導体レーザ素子の断面図である。この半導体レーザ素子をなす多層膜基板31は、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、順メサ形成層30、コンタクト層9、絶縁膜6を形成する。また、上側クラッド層5、順メサ形成層30、コンタクト層9、および絶縁膜6は、リッジ12を形成する。さらに、半導体基板2の下面に負電極1が形成され、多層膜基板31の上面には正電極7が形成される。

## 【0041】

ここで、図2および図3を参照して、この半導体レーザ素子の製造方法について説明する。図2および図3は、この半導体レーザ素子の製造工程を示す断面図である。図2(a)において、まず、n型GaAsからなる半導体基板2の上面に、MOCVD法、MBE法などの薄膜エピタキシャル成長方法を用いて、n型AlGaAsからなる下側クラッド層3、活性層4、p型AlGaAsからなる上側クラッド層5、p型Al<sub>x</sub>Ga<sub>1-x</sub>Asで、xが上側クラッド層5からコンタクト層9にむかって徐々に小さくなる組成を有した順メサ形成層30、コンタクト層9を順次形成する。つぎに、コンタクト層9の上に、レジスト10を塗布して成膜する。

## 【0042】

その後、クエン酸系溶液を用いた湿式エッティング処理によってコンタクト層9、順メサ形成層30および上側クラッド層5が蝕刻され、レジスト10と同じ幅

のリッジ12が形成される(図2(b))。

【0043】

さらに、多層膜基板31の上面のレジスト10を、剥離液を用いて溶解して除去する。さらに、残存したレジスト10を酸素プラズマアッシング処理により除去する。つぎに、多層膜基板31の上面に、プラズマCVD法等を用いて絶縁膜6を成膜する(図2(c))。絶縁層膜6は、上側クラッド層5の上面、リッジ12の上面およびリッジ12の側面に形成される。なお、絶縁膜6には、窒化珪素膜などが用いられる。

【0044】

その後、多層膜基板31の上面に、少なくともリッジ12の段差に比して高くなったレジスト11を塗布する(図3(d))。なお、レジスト11の塗布には、スピンドルコートなどを用いる。

【0045】

さらに、フォトリソグラフィ、酸素プラズマエッチング処理によってレジスト11を除去する(図3(e))。なお、エッチング処理を行う時間を制御し、リッジ12上面の絶縁膜6が露出した状態でエッチングを終了する。

【0046】

その後、たとえばフロン系ガスのプラズマエッチング処理を施して、リッジ12上面の絶縁膜6を除去する(図3(f))。なお、エッチング処理を行う時間を制御し、コンタクト層9が露出した状態でエッチングを終了する。ここで、レジスト11の膜厚は、リッジ12の高さ1.8~2μmに対して、1.6~1.8μmである。このため、レジスト11は、リッジ12上面の絶縁膜6をエッチングして除去する場合に、リッジ12以外の絶縁膜6をエッチングから保護する保護膜として機能する。

【0047】

その後、剥離液を用いてレジスト11を溶解、除去し、さらに、酸素プラズマアッシング処理を施して、残存したレジスト11を除去する。なお、剥離液としては、たとえば、芳香族炭化水素：フェノール：アルキルベンゼンスルホン酸=6:2:2の混合比をもった剥離液などを用いることができる。

## 【0048】

さらに、フォトリソグラフィを用いて、多層膜基板31の上面に正電極7を形成し、図示しないAuメッキを施す。また、半導体基板2の下面を研磨し、負電極1を形成する。

## 【0049】

その後、上述した工程によって形成された多層膜基板31の劈開を行い、モジュールとして組み立て、実装を行って半導体レーザ装置を完成させる。

## 【0050】

図4は、上述した工程によって製造された半導体レーザ素子のリッジ12の拡大断面図である。図4において、リッジ12の幅は、コンタクト層9の上面から上側クラッド層5に向かって徐々に広くなっている。すなわち、リッジ12の側面は、順メサ形状を形成し、リッジ12にかかる応力を分散することができ、亀裂の発生およびこれに伴うコンタクト層9の侵食を防止することができる。

## 【0051】

図5は、リッジ12の組成におけるA1の分布を示す図である。コンタクト層9は、p型GaAsからなり、厚さは400nm程度である。また、上側クラッド層5は、p型Al<sub>0.3</sub>Ga<sub>0.7</sub>Asからなる。さらに、順メサ形成層30は、厚さ30nmのp型AlGaAs層であり、A1の組成が上側クラッド層5近傍で0.3、コンタクト層9近傍で0である。また、順メサ形成層30におけるA1の組成は、A1上側クラッド層5からコンタクト層9に向かって連続して小さくなる。

## 【0052】

また、正電極7の厚さは、リッジ12の上面と側面とでほぼ同じである。なお、ここでは、正電極7をリッジ12の上面に200nm程度、成膜しており、リッジ12の側面においても200nm程度の厚さを有する。リッジ12の側面における正電極7の厚さを十分に取ることで、リッジ12の側面における歪および亀裂の発生を一層、防止することができ、コンタクト層9の侵食を防ぐことができる。

## 【0053】

なお、順メサ形成層30の組成は、ステップ状に変化させてもよい。図6は、順メサ形成層のA1の組成が、ステップ状に変化する場合を示す図である。コンタクト層9は、p型GaAsからなり、厚さは400nm程度である。また、上側クラッド層5は、p型Al<sub>0.3</sub>Ga<sub>0.7</sub>Asからなる。さらに、順メサ形成層30は、厚さ30nmのp型AlGaAs層で、A1の組成が上側クラッド層5近傍で約0.2、コンタクト層9近傍で約0.1とステップ状に変化する。

#### 【0054】

順メサ形成層30の組成をステップ状に変化させた場合、リッジ12の側面は、順メサ形状となる。また、正電極7の厚みは、リッジ12の上面と側面とで同じ厚さである。

#### 【0055】

この実施の形態に示した半導体レーザ素子は、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、順メサ形成層30、コンタクト層9、絶縁膜6が形成され、上側クラッド層5、順メサ形成層30、コンタクト層9、および絶縁膜6が、エッチング処理によってリッジ12を形成する。さらに、半導体基板2の下面に負電極1が形成され、半導体レーザ素子の上面には正電極7が形成されている。

#### 【0056】

この実施の形態に示した半導体レーザ素子は、上側クラッド層5と、コンタクト層9との間に順メサ形成層30を有するので、エッチングによりリッジ12を形成する場合に、リッジ12が逆メサ形状とならず、順メサ形状となる。

#### 【0057】

リッジ12の順メサ形状は、リッジ12の側面の絶縁膜6における応力集中の発生を防止し、リッジ12側面における亀裂の発生を防ぐので、コンタクト層9における侵食の発生を防止する。

#### 【0058】

また、正電極7は、リッジ12の側面において200nm以上の厚みを有するので、リッジ12側面に応力集中が発生した場合においても、リッジ12の側面における亀裂の発生を防ぎ、コンタクト層9における侵食の発生を防止する。

【0059】

なお、本実施の形態では、ウェットエッチング処理によってリッジ12を形成したが、ドライエッチング処理によってリッジ12を形成する場合においても、適用することができるるのは明らかである。

【0060】

また、本実施の形態では、単純なリッジストライプ構造を有した半導体レーザ素子を一例として示したが、これに限らず、ダブルチャンネル構造を有する半導体レーザ素子においても適用することができる。

【0061】

さらに、本実施の形態では、リッジ型の半導体レーザ素子を一例として示したが、これに限らず、たとえば、リッジ導波路型半導体受光素子にも適用することができる。

【0062】

なお、本実施の形態では、半導体レーザ素子を一例として示したが、単に多層膜をエッチング処理によってリッジ形状を形成する一般的な半導体装置に広く適応できるものである。

【0063】

【発明の効果】

以上説明したように、請求項1の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層のエッチング速度を、第1の半導体層に比して遅く、第2の半導体層に比して速くしているので、エッチングによる加工を精度良く行い、形状の異状による亀裂や侵食の発生を防止し、高い歩留まりを実現できるという効果を奏する。

【0064】

また、請求項2の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層のエッチング速度を、第1の半導体層側から第2の半導体層側にかけて、第1のエッチング速度から、第2のエッチング速度に連続的に変化させているので、エッチングによる微細加工をさらに精度良く行うことができるという効果を奏する。

## 【0065】

また、請求項3の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層のエッティング速度を、第1の半導体層側から第2の半導体層側にかけて、第1のエッティング速度から、第2のエッティング速度に段階的に変化させているので、エッティングによる高精度な微細加工を簡易に行うことができるという効果を奏する。

## 【0066】

また、請求項4の発明によれば、半導体装置のリッジ部は、第1の半導体層と第2の半導体層との間に第3の半導体層を設け、第3の半導体層の組成を、第1の半導体層および第2の半導体層に対応させ、化学量論的組成比を順次変化させることで、エッティング速度を変化させているので、エッティング速度の変化を容易に実現し、エッティングによる加工を精度良く行い、形状の異状による亀裂や侵食の発生を防止し、高い歩留まりを実現できるという効果を奏する。

## 【0067】

また、請求項5の発明によれば、半導体装置のリッジ部は、第1の半導体層であるAlGaAs層と第2の半導体層であるGaAs層との間に、第3の半導体層であるAl<sub>x</sub>Ga<sub>1-x</sub>As層を設け、組成比xを順次変化させることで第3の半導体層のエッティング速度を変化させているので、AlGaAs層のエッティング速度とGaAs層のエッティング速度との差に起因する逆メサ形状の発生を防ぐことができるという効果を奏する。

## 【0068】

また、請求項6の発明によれば、リッジ部の長手方向側面を少なくとも覆う電極層を設け、この電極層を100nm以上の膜厚としているので、電極層にかかる応力により生じる亀裂の発生を防ぎ、被覆部内部への侵食を防止するという効果を奏する。

## 【0069】

また、請求項7の発明によれば、第1形成工程によってリッジ部の底部を形成する第1の半導体層を成膜し、第2形成工程によって第1のエッティング速度よりも遅い第2のエッティング速度をもつ第2の半導体層を成膜し、第3形成工程によ

って第2のエッティング速度よりも遅い第3のエッティング速度をもち、リッジ部の上部を形成する第3の半導体層を成膜するので、微細加工を高精度に行い、形状の異状による亀裂や侵食の発生を防止し、効率良く半導体装置を生産することができるという効果を奏する。

#### 【0070】

また、請求項8の発明によれば、第1の半導体層と第3の半導体層の間に第2のエッティング速度をもつ第2の半導体層を成膜し、第2のエッティング速度を、第1の半導体層側から第3の半導体層側にかけて、第1のエッティング速度から、第3のエッティング速度に連続的に変化させているので、エッティングによる微細加工をさらに精度良く行い、高精度な半導体装置を歩留まり良く生産することができるという効果を奏する。

#### 【0071】

また、請求項9の発明によれば、第1の半導体層と第3の半導体層の間に第2のエッティング速度をもつ第2の半導体層を成膜し、第2のエッティング速度は、第1の半導体層側から第3の半導体層側にかけて、第1のエッティング速度から、第3のエッティング速度に段階的に変化するので、エッティングによる高精度な微細加工を簡易に行い、高精度な半導体装置を効率良く生産することができるという効果を奏する。

#### 【0072】

また、請求項10の発明によれば、第1の半導体層と第3の半導体層の間に第2の半導体層を成膜し、第2の半導体層の組成を、第1の半導体層および第3の半導体層に対応し、化学量論的組成比を順次変化させることで、エッティング速度を変化させているので、エッティング速度の変化を容易に実現し、エッティングによる加工を精度良く行い、形状の異状による亀裂や侵食の発生を防止し、効率良く半導体装置を生産することができるという効果を奏する。

#### 【0073】

また、請求項11の発明によれば、第1の半導体層であるAlGaAs層と第3の半導体層であるGaAs層との間に第2の半導体層であるAl<sub>x</sub>Ga<sub>1-x</sub>As層を成膜し、組成比xを順次変化させることで第3の半導体層のエッティング速度

を変化させているので、AlGaAs層のエッチング速度とGaAs層のエッチング速度との差に起因する逆メサ形状の発生を防ぎ、高精度な半導体装置を歩留まり良く生産することができるという効果を奏する。

【0074】

また、請求項12の発明によれば、第4形成工程が、リッジ部の長手方向側面を少なくとも覆う電極層を、100nm以上の膜厚で成膜するようにしているので、電極層にかかる応力により生じる亀裂の発生を防ぎ、被覆部内部への侵食を防止し、高精度な半導体装置を、簡易な構成で歩留まり良く生産することができるという効果を奏する。

【図面の簡単な説明】

【図1】

この発明の実施の形態である半導体レーザ素子の断面図である。

【図2】

図1に示した半導体レーザ素子の製造工程を示す断面図である（その1）。

【図3】

図1に示した半導体レーザ素子の製造工程を示す断面図である（その2）。

【図4】

半導体レーザ素子のリッジ部分の断面図である。

【図5】

リッジ12の組成におけるAlの分布を示す図である。

【図6】

順メサ形成層のAlの組成が、ステップ状に変化する場合を示す図である。

【図7】

従来の半導体装置である半導体レーザ素子の断面図である。

【図8】

図7に示した半導体レーザ素子の製造工程を示す断面図である（その1）。

【図9】

図7に示した半導体レーザ素子の製造工程を示す断面図である（その2）。

【図10】

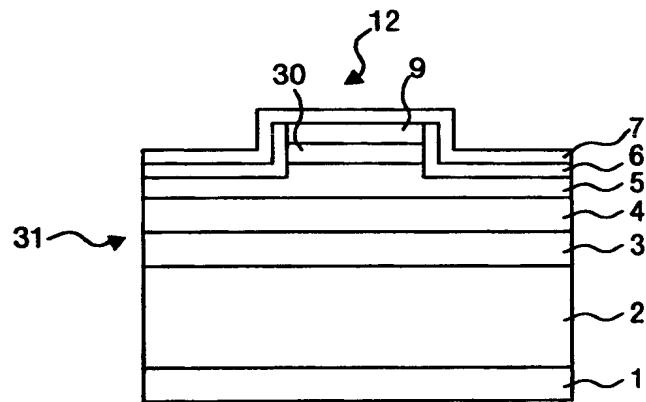
従来の半導体レーザ素子のコンタクト層に侵食が発生した場合を示す断面図である。

## 【符号の説明】

- 1 負電極
- 2 半導体基板
- 3 下側クラッド層
- 4 活性層
- 5 上側クラッド層
- 6 絶縁膜
- 7 正電極
- 9 コンタクト層
- 10, 11 レジスト
- 12 リッジ
- 21 龜裂
- 22 侵食
- 30 順メサ形成層
- 31 多層膜基板

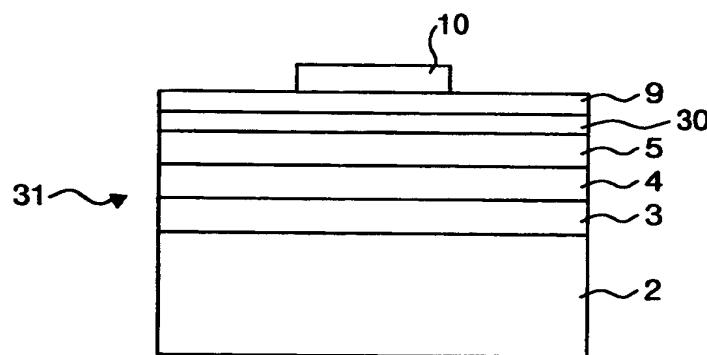
【書類名】 図面

【図1】

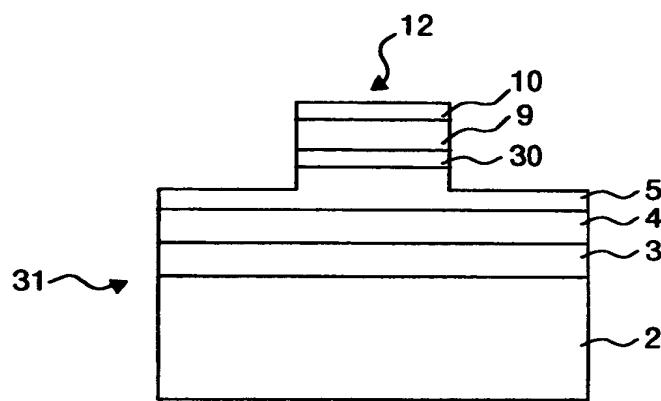


【図2】

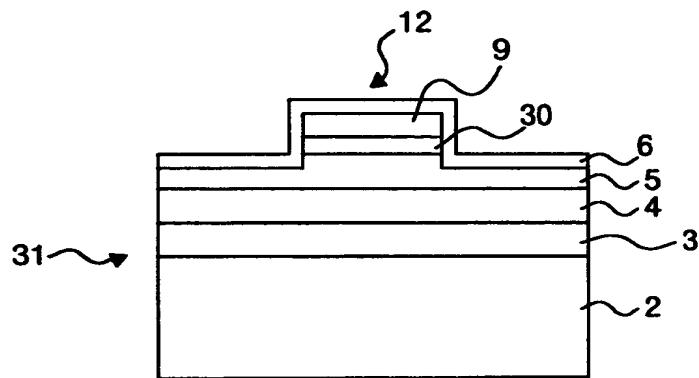
(a)



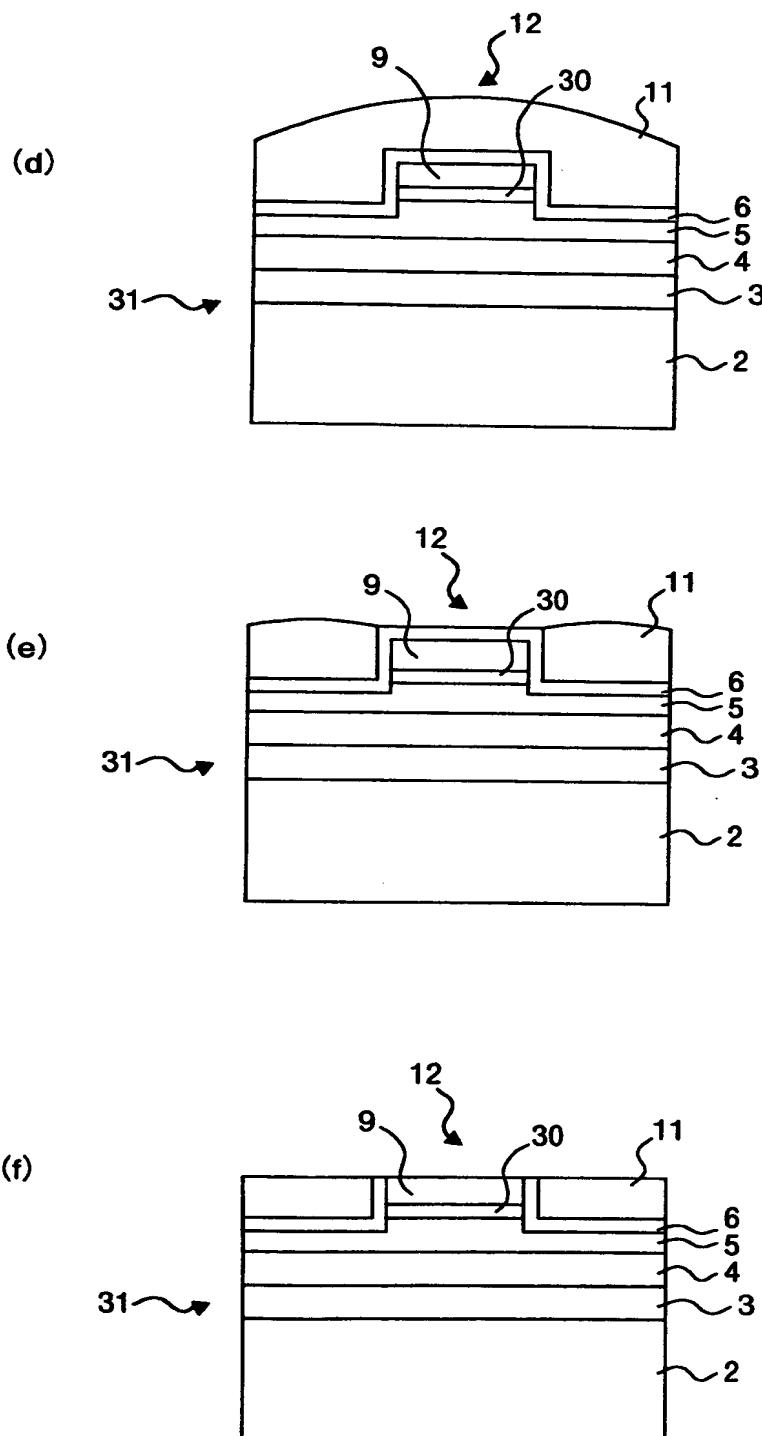
(b)



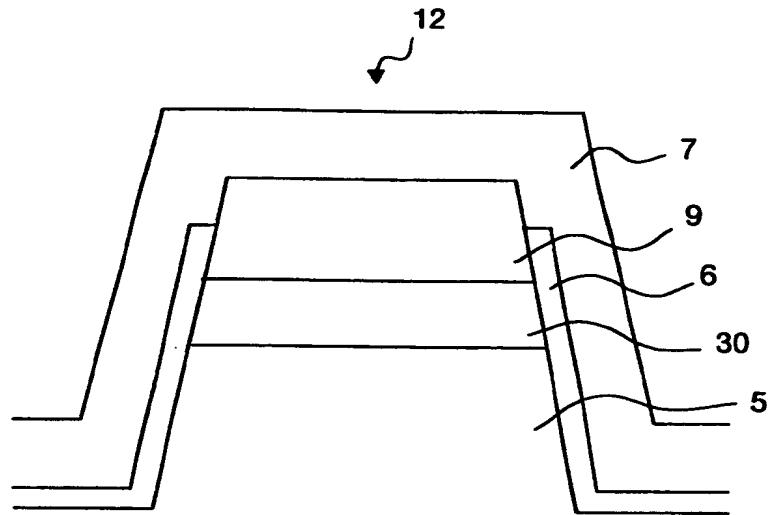
(c)



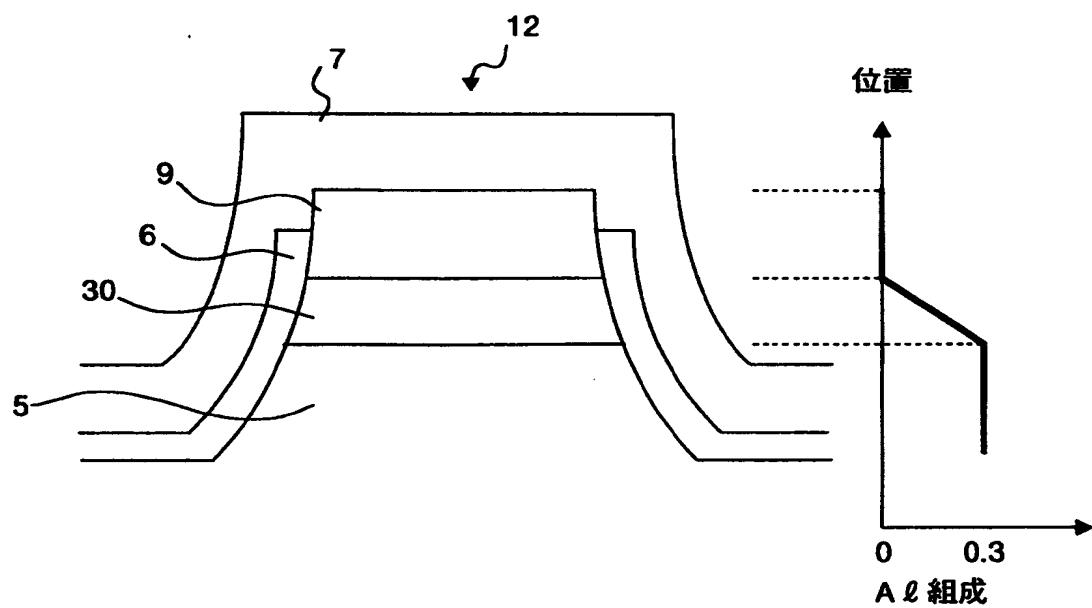
【図3】



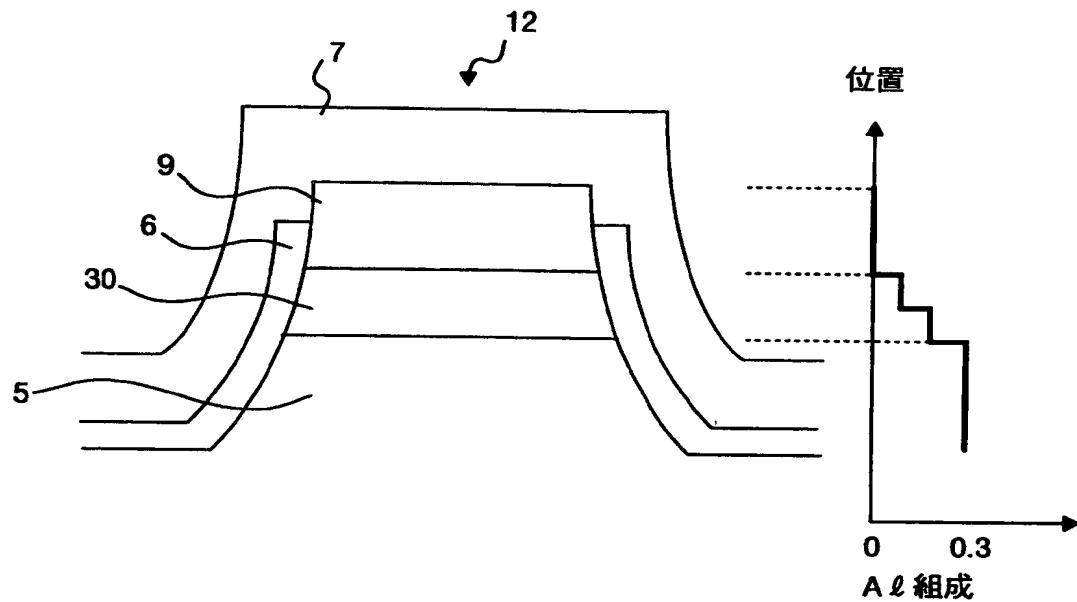
【図4】



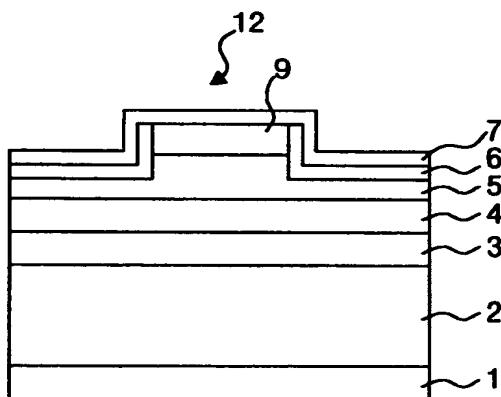
【図5】



【図6】

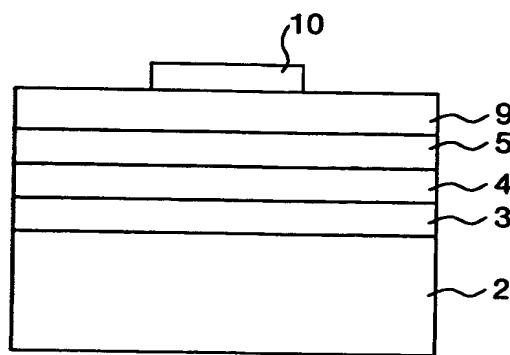


【図7】

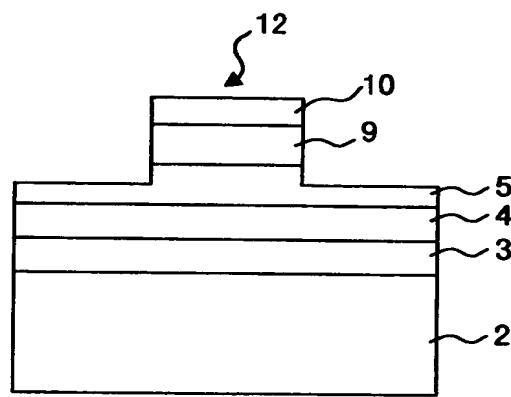


【図8】

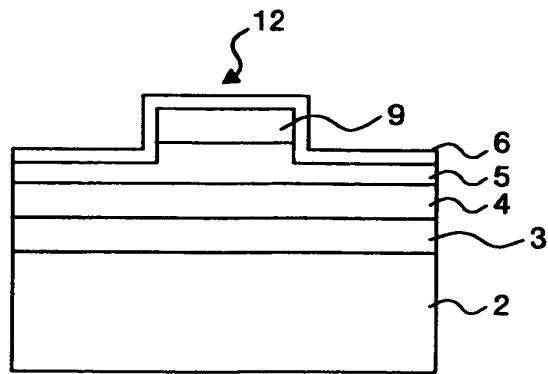
(a)



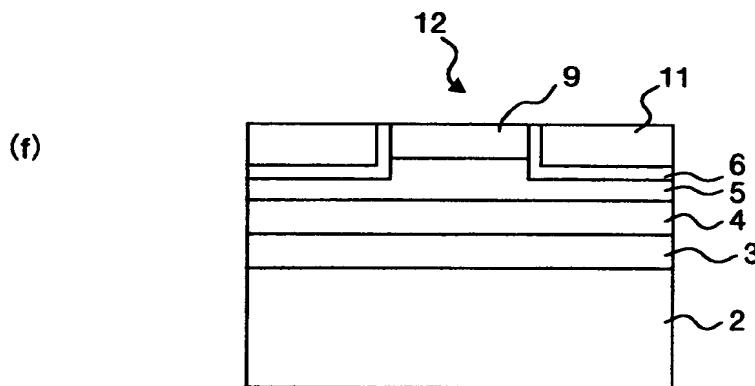
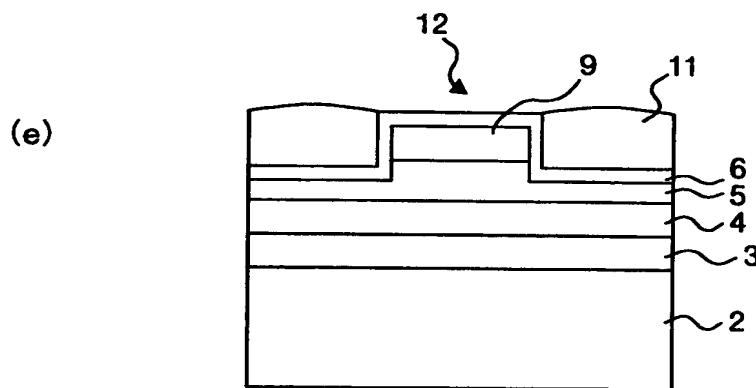
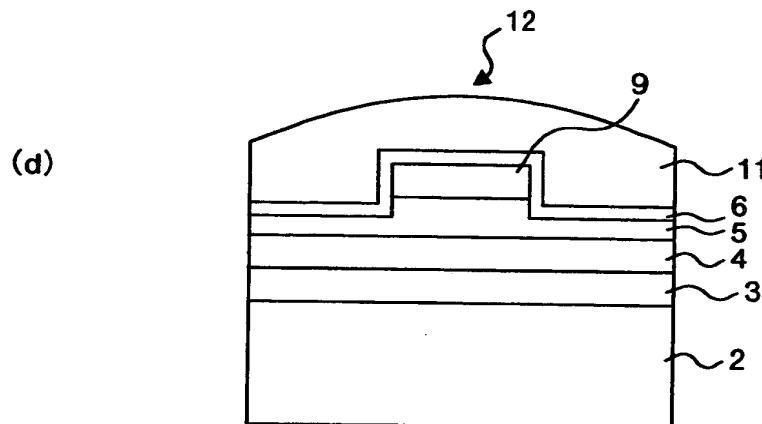
(b)



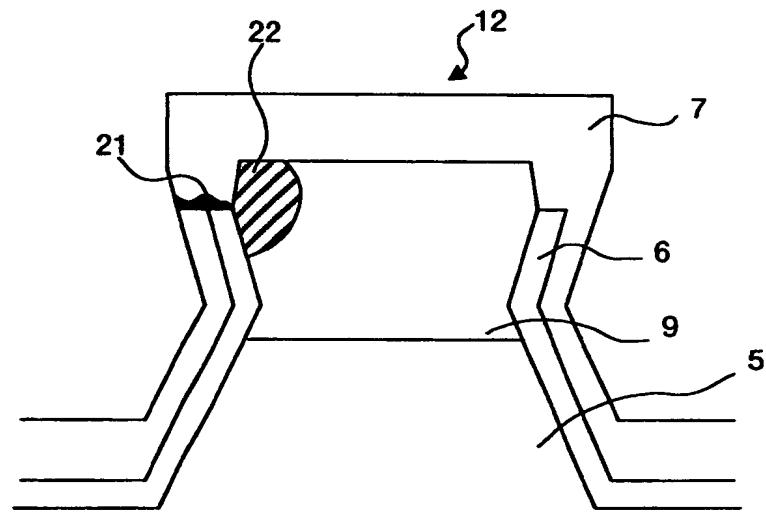
(c)



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 半導体装置の加工精度および生産効率を高めること。

【解決手段】 半導体レーザ素子は、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、順メサ形成層30、コンタクト層9、絶縁膜6が形成されている。また、上側クラッド層5、順メサ形成層30、コンタクト層9、絶縁膜6は、エッチングによりリッジ12をなしている。さらに、半導体基板2の下面に負電極1が形成され、半導体レーザ素子の上面には正電極7が形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目6番1号

氏 名 古河電気工業株式会社